

#4
10-12-01
Mellor



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Toshiya SUZUKI**

Serial No.: **Not Yet Assigned**

Filed: **January 22, 2001**

For: **SEMICONDUCTOR DEVICE WITH RARE METAL ELECTRODE**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Director of Patents and Trademarks
Washington, D.C. 20231

January 22, 2001

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

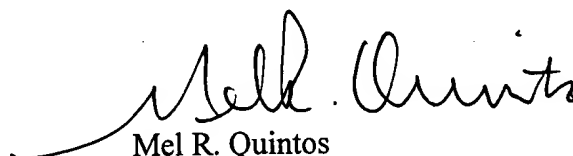
Japanese Appln. No. 2000-255708, filed August 25, 2000

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN, HATTORI
MCLELAND & NAUGHTON, LLP


Mel R. Quintos
Reg. No. 31,898

Atty. Docket No.: 001764
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
MRQ/ll

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 8月25日

出 願 番 号

Application Number:

特願2000-255708

出 願 人

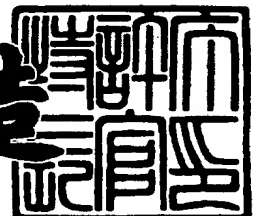
Applicant (s):

富士通株式会社

2000年10月20日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3086630

【書類名】 特許願

【整理番号】 0000703

【提出日】 平成12年 8月25日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明の名称】 半導体装置の製造方法と半導体装置

【請求項の数】 9

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 鈴木 寿哉

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100091340

 【弁理士】

 【氏名又は名称】 高橋 敬四郎

 【電話番号】 03-3832-8095

【手数料の表示】

 【予納台帳番号】 009852

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9705794

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法と半導体装置

【特許請求の範囲】

【請求項1】 (ア) 半導体素子を形成した半導体基板上に第1層間絶縁膜を形成する工程と、

(イ) 前記第1層間絶縁膜中に接続孔を形成する工程と、

(ウ) 前記接続孔を埋めて、窒化可能な導電体のプラグを形成する工程と、

(エ) 窒化性雰囲気中で前記半導体基板を加熱し、前記プラグを表面から窒化する工程と

を含む半導体装置の製造方法。

【請求項2】 さらに(オ) 前記半導体基板を加熱し、SiNのソースガスを前記半導体基板上に供給して、前記プラグを覆うSiN層を前記第1層間絶縁膜上に化学気相堆積で形成する工程を含む請求項1記載の半導体装置の製造方法。

【請求項3】 半導体素子を形成した半導体基板と、
前記半導体基板上に形成された層間絶縁膜と、
前記層間絶縁膜を貫通し、表面から深さ方向に従って窒素濃度が減少するWN_xプラグとを有する半導体装置。

【請求項4】 (ア) 半導体素子を形成した半導体基板上に、頂面と側面を有する下部電極を形成する工程と、

(イ) 前記下部電極表面上に、前記頂面と側面との境界近傍で相対的に厚く、前記側面下方で相対的に薄く、かつほぼ均一な厚さを有する誘電体膜を形成する工程と、

(ウ) 前記誘電体膜上に上部電極を形成する工程と
を含む半導体装置の製造方法。

【請求項5】 前記工程(イ)が、ステップカバレッジの良い成膜工程とステップカバレッジの悪い成膜工程の組み合わせで行なわれる請求項4記載の半導体装置の製造方法。

【請求項6】 半導体素子を形成した半導体基板と、

前記半導体基板表面上に配置され、頂面と側面を有する下部電極と、
前記下部電極表面上に形成され、前記頂面と側面との境界近傍で相対的に厚く、
前記側面下方では相対的に薄く、かつほぼ均一な厚さを有する誘電体膜と、
前記誘電体膜上に形成された上部電極と
を有する半導体装置。

【請求項7】 (ア) 半導体素子を形成した半導体基板上にレアメタル層を形成する工程と、

(イ) 前記レアメタル層上にTaO膜を形成する工程と、

(ウ) 前記TaO膜をレジストパターンを用いてパターニングする工程と、

(エ) 前記パターニングされたTaO膜を用いて前記レアメタル層をパターニングする工程と

を含む半導体装置の製造方法。

【請求項8】 さらに、(オ) 前記工程(ア)の後、前記工程(イ)の前に、前記レアメタル層上に金属又は金属窒化物層を形成する工程を含み、

前記工程(ウ)は、前記レアメタル層を露出することなく終了し、

前記工程(エ)は、前記パターニングされたTaO膜を用いて前記金属窒化物層と前記レアメタル層とをパターニングする請求項8記載の半導体装置の製造方法。

【請求項9】 半導体素子を形成した半導体基板と、

前記半導体基板上に配置されたレアメタル層と、

前記レアメタル層上に配置され、前記レアメタル層と同一平面形状を有するTaO膜と

を有する半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法と半導体装置に関し、特にキャパシタを有する半導体装置の製造方法とキャパシタを有する半導体装置とに関する。

【0002】

【従来の技術】

半導体集積回路装置においては、ますます高集積化が要求されている。キャパシタを用いた半導体メモリ装置においては、メモリセルの微細化と共にキャパシタを立体的な3次元構造で作成することが必要となる。

【0003】

キャパシタは、下部電極、誘電体膜、上部電極の組み合わせと見ることができる。3次元構造においては、下部電極を3次元構造とし、その表面上に誘電体膜、上部電極を形成する。キャパシタ電極面積を小さくし、十分な容量を確保するためには、キャパシタ誘電体膜を高い誘電率を有する高誘電体、たとえば酸化タンタル（化学量論的組成は Ta_2O_5 、 TaO と略記する）、で形成することが望まれる。ここで高い誘電率とは、約20以上の比誘電率を指す。

【0004】

キャパシタ誘電体膜を強誘電体で形成すると、電源を切り離しても記憶状態を保持できる不揮発性メモリを構成できる。強誘電体としては、チタン酸ストロンチウム（ $SrTiO_3$ 、STOと略記する）、チタン酸バリウムストロンチウム（ $Ba_xSr_{1-x}TiO_3$ 、BSTと略記する）、チタン酸鉛ジルコニウム（ $Pb_{1-x}Zr_xTiO_3$ 、PZTと略記する）等が用いられる。

【0005】

これらの誘電体は、酸化物であり、成膜後酸素を含む酸化性雰囲気中で熱処理（アニール）することが望まれる。このため、下部電極は耐酸化性の高い金属、酸化しても導電性を保つ金属またはその酸化物で形成することが望まれる。このような金属としてRu、Ir、Ptのようなレアメタルが検討されている。なお、レアメタルは貴金属を含む概念である。

【0006】

レアメタルを電極、配線として使用する場合、いくつかの問題がある。レアメタルをシリコン上に直接接触させると、加熱された時シリサイドを形成する。シリサイドの抵抗率は金属の抵抗率より高く、深さ方向に均一に反応がおこらない（表面凹凸が大きくなる）。シリサイドを形成しないようにするには、レアメタルとシリコンとの間にバリアメタル層を挿入することが望まれる。バリアメタ

ルとしては、 TiN 、 WN_x などの単一金属の窒化物、 $TiAlN$ 等の2種類以上の金属の窒化物などが研究されている。

【0007】

また、レアメタルは酸素、水素等を透過させる性質を有する。下層に Al 、 Cu 、 W 等の一般的な配線材料の金属層が存在する場合、レアメタル層を透過した酸素により下層金属層が酸化されると、抵抗率を上げる、絶縁体となる、体積を膨張させる等の現象が生じる。

【0008】

層間絶縁膜を貫通する導電性プラグとして W プラグが用いられる。 W プラグ上に例えばスパッタリングで Ru 層をある程度堆積し、その後酸素触媒を用いた Ru の化学気相堆積(CVD)を行なう。この時 W プラグが酸化されると、体積膨張により W プラグとその上の構造が破壊されることがある。

【0009】

キャパシタは、1対の電極とその間に挟まれる誘電体層によって構成される。電極が平面状の場合、電極間に形成される電界はほぼ均一である。しかしながら、電極が3次元構造を有する場合、誘電体膜内に発生する電界は必ずしも均一とはならない。

【0010】

シリンダ型キャパシタにおいては、下部電極がカップ型形状を有する。下部電極の頂面は、化学機械研磨(CMP)等によって成形され、側面とほぼ直交する。この場合、下部電極の頂面と側面との境界部分において電界集中が発生する。均一な膜厚の誘電体膜を形成した場合、頂面と側面との境界部分の誘電体膜において誘電破壊の生じる可能性が強くなる。誘電破壊が生じないように誘電体膜を厚くすると、平坦な表面の部分においては、不必要に厚い誘電体膜を形成することになる。

【0011】

レジストマスクを用いて Ru 層をパターンニングすると、表面上にフェンスと呼ばれるエッチング生成物が堆積する。この生成物は一旦形成されると除去が難しい。

【0012】

一般的にトランジスタは、特性改善のため水素雰囲気中でアニールされる。この時、Ruは触媒作用で水素のラジカルを発生させると考えられている。キャパシタの酸化物誘電体膜が還元され、特性が変化してしまうことがある。

【0013】

以上、主としてRuを電極材料として用いる場合を説明したが、レアメタルを電極材料として用いると、同様の問題が生じ得る。

【0014】

【発明が解決しようとする課題】

以上説明したように、半導体メモリ装置において、構造が微細化されるにつれ、種々の解決すべき問題が生じている。

【0015】

プラグ上にキャパシタの下部電極を形成する際、プラグが酸化し、破壊される危険性がある。

【0016】

本発明の第1の目的は、プラグ上にキャパシタを形成する際、プラグの破壊を防止できる半導体装置の製造方法を提供することである。

【0017】

キャパシタの下部電極の厚さが薄くなると、キャパシタの下部電極と上部電極との間に挟まれる誘電体膜の誘電破壊の問題が深刻化する。電極の厚さが誘電体膜の厚さとコンパラブルになると、誘電破壊の可能性は指数関数的に増大する。

【0018】

本発明の第2の目的は、微細化されたキャパシタを、誘電破壊の問題を効率的に解決しつつ製造することのできる半導体装置の製造方法を提供することである。

【0019】

レアメタルの電極を用いてキャパシタを形成すると、電極パターンニング時にエッチング生成物が生じ、また水素中アニーリング時にキャパシタの特性変化の可能性を有する。

【0020】

本発明の第3の目的は、パターニング、水素中アニーリングにおける問題を低減したキャパシタ構造を有する半導体装置の製造方法を提供することである。

【0021】

本発明のさらに他の目的は、これらの問題を低減することのできる半導体装置を提供することである。

【0022】

【課題を解決するための手段】

本発明の1観点によれば、(ア)半導体素子を形成した半導体基板上に第1層間絶縁膜を形成する工程と、(イ)前記第1層間絶縁膜中に接続孔を形成する工程と、(ウ)前記接続孔を埋めて、窒化可能な導電体のプラグを形成する工程と、(エ)窒化性雰囲気中で前記半導体基板を加熱し、前記プラグを表面から窒化する工程とを含む半導体装置の製造方法。が提供される。

【0023】

本発明の他の観点によれば、(ア)半導体素子を形成した半導体基板上に、頂面と側面を有する下部電極を形成する工程と、(イ)前記下部電極表面上に、前記頂面と側面との境界近傍で相対的に厚く、前記側面下方で相対的に薄く、かつほぼ均一な厚さを有する誘電体膜を形成する工程と、(ウ)前記誘電体膜上に上部電極を形成する工程とを含む半導体装置の製造方法。が提供される。

本発明のさらに他の観点によれば、(ア)半導体素子を形成した半導体基板上にレアメタル層を形成する工程と、(イ)前記レアメタル層上にTaO膜を形成する工程と、(ウ)前記TaO膜をレジストパターンを用いてパターニングする工程と、(エ)前記パターニングされたTaO膜を用いて前記レアメタル層をパターニングする工程とを含む半導体装置の製造方法が提供される。

本発明の他の観点によれば、半導体素子を形成した半導体基板と、前記半導体基板上に形成された層間絶縁膜と、前記層間絶縁膜を貫通し、表面から深さ方向に従って窒素濃度が減少するWN_xプラグとを有する半導体装置が提供される。

【0024】

【発明の実施の形態】

以下、図面を参照して本発明の実施例を説明する。なお、本実施例は複数の課題を同時に解決することの出来るものであるが、各課題の解決は必ずしも他の課題の解決と組み合わせられることを要せず、それぞれ独立した技術思想を構成する。従って、本実施例の一部と従来技術との組み合わせは多様に存在する。

【0025】

図1 (A) に示すように、p型表面領域を有するSi基板11表面にシャロートレンチアイソレーション (STI) によりSiO₂の分離領域12を形成する。分離領域12で画定された活性領域表面に絶縁ゲート電極13を形成する。

【0026】

図1 (B) に示すように、絶縁ゲート電極は、Si表面に形成されたSiO₂層のゲート絶縁膜21と、その上に形成された多結晶シリコンの下層ゲート電極22と、その上に形成されたタングステンシリサイド (WSiと略記する) 等の上層ゲート電極23と、その上に形成されたSiN等のエッチストップ層24と、ゲート電極側壁を覆う窒化シリコン (SiN_x、SiNと略記する) 等のサイドウォールエッチストップ25とを有する。なお、図示の簡略化のため、以降の図面においても絶縁ゲート電極は簡略化した構成13で示す。

【0027】

絶縁ゲート電極13を作成した後、SiO₂等の第1層間絶縁膜14を形成する。第1層間絶縁膜14の所要個所にコンタクト孔を開口し、多結晶シリコンのプラグ15を形成する。なお、プラグの形成は、化学気相堆積 (CVD) による堆積と化学機械研磨 (CMP) 等による不要部除去によって行なう。

【0028】

その後、基板全面上にSiO₂、BP SG等の第2層間絶縁膜16を形成する。なお、第2層間絶縁膜16は、一旦途中のレベルまで絶縁層を堆積し、ビット線BLを形成した後、ビット線BLを埋め込んで残りの部分の絶縁層の堆積を行なう。第2層間絶縁膜16を貫通してプラグ15に達する接続孔を形成する。この接続孔の内部を埋め込むように、Wのブランケット成長を行ない、CMPによって第2層間絶縁膜16上のW層を除去する。このようにして、Wプラグ17が形成される。

【 0 0 2 9 】

第2層間絶縁膜16上には、窒化シリコン (SiN) 層を形成する。CVDによりSiN層を形成する場合、ソースガスとしてジクロルシラン等のポリクロルシランやポリシラン、アンモニアの混合ガスを用いる。

【 0 0 3 0 】

SiN層の成長に先立ち、先ずアンモニアガスのみを流し、基板を600℃～850℃の範囲の温度に加熱する。すると、Wプラグ17表面において、アンモニアNH₃とWとの反応が生じ、タングステンWが窒化タングステン (WNと略記する) に変換される。

【 0 0 3 1 】

図2は、アンモニア雰囲気中で加熱されたWの変化をX線回折により求めた結果を示す。純粋なWの場合、W (1 1 0) のピークのみが観察される。WがW₂Nに変化すると、W₂N (1 1 1)、W₂N (2 0 0) のピークが観察されるようになる。

【 0 0 3 2 】

600℃未満の温度においては、窒化反応がほとんど進行しない。850℃を越える温度においては、窒化反応と脱窒素反応とが競合し、実効的な窒化反応が低減する。図から明らかなように、750℃近傍において最も窒化反応が進行し、効率的にWNが形成されている。

【 0 0 3 3 】

このように、窒化雰囲気中でWプラグ17を熱処理することにより、Wプラグの表面から窒化領域17sが形成される。WNは、Wと比べ、著しく酸化されにくい性質を有する。なお、窒化領域17s内においてNの濃度は、表面から深さ方向に進むに従って次第に低減しているものと考えられる。

【 0 0 3 4 】

以上説明したWプラグの窒化に代え、途中までWをCVDで堆積し、その後WNをCVDで堆積してWN/Wのプラグを形成することもできる。また、この組み合わせCVDと窒化処理とを組み合わせることもできる。

【 0 0 3 5 】

図1 (C) に示すように、基板温度をSiN成膜温度に設定し、アンモニアガスとジクロルシランとの混合ガスを供給することにより、第2層間絶縁膜16表面上にSiN層31を成膜する。このSiN層31は、その上に形成する酸化膜のエッチングにおいてエッチストップパの機能を有する。

【0036】

図3 (A) に示すように、SiN層31の成膜後、SiO₂層32を形成し、さらにSiN層33を形成する。SiN層33はその上に形成する酸化膜等の犠牲膜のエッチングにおいてエッチストップパとして機能する。SiN層31、33は、例えば共に厚さ40nmとし、SiO₂層32は厚さ100nmとする。これらの層31、32、33は、後に形成するキャパシタの下部電極に対する支持力を増強するために台座を構成する部分である。

【0037】

なお、酸化膜エッチングにおけるエッチストップパ層は、酸化膜のエッチレートに対し、選択比が10以上あることが望ましい。SiNの他、TaO、NbO等を用いることができる。TaOやNbOを用いる場合は、10nm以上の膜厚とすることが好ましい。さらに、TiO、アルミナ等を用いることも可能であろう。

【0038】

上側SiN層33の上に、厚い酸化シリコン層34を形成する。酸化シリコン層34は、台座となる絶縁層31、32、33と共にキャパシタの下部電極を形成する際の型を提供する部材であり、後に除去される犠牲膜である。例えば、約800nmのキャパシタに合わせた厚さを有する。

【0039】

酸化シリコン層34の上に、レジスト層を塗布し、露光現像することによりレジストパターンPR1を形成する。レジストパターンPR1は、キャパシタを形成する領域に開口を有する。なお、開口の直径は、例えば約130nmである。

【0040】

レジストパターンPR1をエッチングマスクとし、酸化シリコン層34を反応性イオンエッチング(RIE)により異方的にエッチングする。このエッチング

は上側 SiN 層 33 でストップする。エッチング条件を切り換えて SiN 層 33 をエッチングした後、さらに下の SiO₂ 層 32 を酸化シリコンエッチングによりエッチングする。この酸化シリコンのエッチングは、下側 SiN 層 31 表面でストップする。

【0041】

酸化シリコンのエッチングにおいて、SiN 層は約 1/10 以下のエッチレートしか有さず、SiO₂ 層 32 を完全にエッチングしても、SiN 層 31 は十分残存する。ここで再びエッチング条件を変更し、SiN 層 31 をエッチングし、プラグ 17 の表面を露出する。なお、プラグ 17 の表面層には窒化領域 17s が形成されている。WN は W と較べて著しく酸化されにくい、それでも酸化可能な材料である。

【0042】

レジストパターン PR1 は、酸化シリコン層 34 のエッチングが終了した後、SiN 層 31 のエッチングを行なうまでの期間にアッシングにより除去することが好ましい。アッシング時にプラグ 17 の表面を SiN 層 31 で覆うことにより、プラグの酸化をより安全に防止できる。

【0043】

図 3 (B) に示すように、このようにして形成されたキャパシタ用開口 SN 内に、Ru、Pt 等のレアメタルを用い、例えば厚さ約 30 nm の下部電極層 36 を堆積する。アスペクト比の高い開口内に均一な厚さを有する電極を形成するためには CVD が適している。しかしながら、レアメタルの CVD においては一般的に酸素を触媒として用いる。プラグ 17 表面には窒化領域 17s が形成されているが、直接酸素と接することは好ましくない。

【0044】

先ず、スパッタリング等酸素を用いない条件において純粋なレアメタル層、例えば Ru 層 36-1 を形成し、その後 CVD により残りのレアメタル層、例えば Ru 層 36-2 を形成する。CVD は、例えば Ru(EtCp)₂、又は Ru(Cp)₂ をソースガスとし、酸素を含む触媒ガスを添加し、ソースガスの分解を促進する。それぞれのソースガスを THF (Tetrahydrofuran (

C_4H_8O)) 等の溶媒に溶かして供給しても良い。

【 0 0 4 5 】

既に形成されたRu層の上にCVDを行なう場合は、触媒としての酸素の量を減らすことができる。プラグ表面が既にRu層36-1で覆われ、さらに触媒の酸素を減らせるので、プラグ17の酸化を効率的に防止できる。先に酸素を用いない条件でRu層36-1を形成しているが、さらにプラグの酸化を防ぐため、ソースガスであるRu(EtCp)₂又はRu(Cp)₂を先に流し、表面に十分吸着させた後酸素を流すことがさらに好ましい。

【 0 0 4 6 】

酸化シリコン層34表面上に堆積したRu層36は除去する。この除去のためのCMPにおいて、開口SN内に加工時のゴミが残ったり、ダメージが入るのを防ぐため、開口SNを詰め物SFで充填する。詰め物SFとしては、レジスト、スピノングラス(SOG)等を用いることができる。

【 0 0 4 7 】

このように開口内を詰め物で埋め戻した後、CMPを行なって酸化シリコン層34表面上の詰め物SF及びRu層36を除去する。

【 0 0 4 8 】

図4(A)は、CMPを終えた基板の構造を示す。Ruの下部電極36は、開口SN内の内壁上にほぼ一定の厚さで堆積され、CMPで形成された頂面は、側面に対しほぼ直角の角度を形成している。

【 0 0 4 9 】

図4(B)に示すように、酸化シリコン層34及び開口SN内の詰め物SFを除去する。詰め物SFがSOGの場合は、酸化シリコン層34と詰め物を同時に除去することができる。詰め物SFがレジストの場合には、酸化シリコン層34を除去した後、開口SN内に残ったレジストをレジスト剥離剤等により除去する。

【 0 0 5 0 】

なお、酸化シリコン層34のエッチングは、希弗酸によるウエットエッチングで行ないSiN層33によってストップされる。このように、SiN層31、S

SiO_2 層 3 2、 SiN 層 3 3が残ることにより、下部電極 3 6はその下部でこれら 3 層による台座部分により支持され、倒れ等が防止される。

【0051】

図 5 (A)、(B) に示すように、下部電極 3 6の表面に TaO 等の酸化物誘電体膜 3 7を形成する。この酸化物誘電体膜 3 7は、下部電極 3 6の頂面近傍で厚く、側面下方ではほぼ均一な厚さとなるように形成する。均一な領域での誘電体膜の厚さを $8\text{ nm} \sim 20\text{ nm}$ に選択した場合、上部における誘電体膜の厚さは、より厚く、均一部分の厚さよりも $5\text{ nm} \sim 20\text{ nm}$ 厚くすることが好ましい。

【0052】

すなわち、誘電体膜の厚さを約 6 0 %以上厚くすることにより、頂面と側面との交差部が形成する下部電極の角部における電界集中を有効に緩和することができる。

【0053】

例えば、図 5 (A) に示すように、基板を反応律速の CVD 温度に加熱し、 $\text{Ta}(\text{O}(\text{C}_2\text{H}_5))_5$ と O_2 による減圧化学気相成長 (LP-CVD) により均一な厚さを有する下側誘電体膜 3 7 s を成膜する。反応律速となる温度領域は、例えば 550°C より低い温度である。なお、図 5 (A) に示すように、まず均一な厚さの誘電体膜を先に形成すると、シリンダに対する支持力が増強される効果が得られる。

【0054】

図 5 (B) に示すように、一旦均一な厚さの誘電体膜 3 7 s を成膜した後、シリンダ形状の下部電極 3 6の上部で膜厚が厚くなる条件で残りの誘電体膜を成膜する。

【0055】

上部で膜厚が厚くなる成膜は、例えばスパッタリングや蒸着等の物理気相堆積 (PVD)、供給律速となる温度範囲における減圧化学気相堆積 (LP-CVD)、ソース供給量を制限したことにより供給律速となる化学気相堆積、比較的高い圧力での減圧化学気相堆積等によって行なうことができる。

【0056】

供給律速となる温度範囲は、 $Ta(O(C_2H_5))_5$ と O_2 によるCVDの場合、 $500^{\circ}C$ 以上の温度であり、ソース供給量による供給律速となる流量は、たとえば $16\text{mg}/\text{min}$ 以下であり、比較的圧力の高い領域とは 1.0Torr 以上である。このようにして、シリンダ状の下部電極36の上部で厚く、下部で薄く、かつほぼ均一な厚さを有する誘電体膜37fが形成される。

【0057】

なお、均一な厚さの誘電体膜の形成と、上部で厚い誘電体膜の形成とは、そのどちらを先に行なってもよい。

【0058】

図6(A)、(B)は、上述のように初めに均一な厚さの誘電体膜37-1を形成し、次に上部で厚い誘電体膜37-2を形成して、上部で厚く下部で薄くかつ均一な厚さを有する誘電体膜37fを作成する場合を示す。

【0059】

図6(C)は、下部電極36の上に先ず上部で厚く下部で薄い誘電体膜37-3を形成する場合を示す。このような誘電体膜37-3の形成は、例えばスパッタリングや蒸着により行なうことができ、酸素を用いない条件で製膜を行なうことによりプラグの酸化を有効に防止できる。

【0060】

図6(D)に示すように、その後均一な厚さを有する誘電体膜37-4を成長する。下地として誘電体膜37-3が形成されていると、CVDにより均一な厚さの誘電体膜37-4を形成する場合、触媒となる酸素の量を減少させることが可能となる。このように、プロセスに使用する酸素の量を低減することにより、プラグ上面の酸化をより効率的に低減することができる。

【0061】

キャパシタ誘電体膜として、 TaO 膜の他、 NbO 膜、 TiO 膜、 WO 膜、アルミナ膜、 STO 膜、 BST 膜、 PZT 膜、それらの組み合わせを用いることもできる。

【0062】

図7(A)に示すように、誘電体膜37fを作成した後、上部電極であるRu

層38を形成する。キャパシタの上部電極は、プレート電極となる電極である。例えば、 $\text{Ru}(\text{EtCp})_2$ と O_2 を用い、CVDによりRu層38を形成する。

【0063】

下部電極と同様酸素を用いない成膜と酸素を用いる成膜の2段階に分けて、上部電極を成膜してもよい。この場合、上部電極と誘電体膜の界面付近に酸素を含む層がないため、後工程の熱処理で酸素が上部電極に引き抜かれる現象が生じ得る。すると、誘電体膜の特性が劣化する原因となる。

【0064】

スパッタリングによるピュアなRu層を形成せず、始めからCVDによりRu層を形成することにより、誘電体膜との界面に酸素濃度の高い層を形成することができる。さらに、始めに O_2 ガスを流し、十分に誘電体膜表面にOを吸着させた後ソースガスである $\text{Ru}(\text{EtCp})_2$ を流すことにより、誘電体膜との界面に十分な酸素濃度を有する成膜を行なうことができる。

【0065】

Ru上部電極成膜後、TiN層の物理堆積を行なう。上部から物理堆積によりTiN層39を形成する。なお、物理堆積に代え化学気相堆積を用いても良い。この場合は、均一な厚さのTiN層39が形成される。

【0066】

次に、TaO層41を上述と同様のCVDにより成膜する。図7(B)に示すように、TaO層41、TiN層39、上部電極層38のパターニングを行なう。このパターニングにおいて、TaO層41の上にレジストパターンを形成し、このレジストパターンをエッチングマスクとしてTaO層41をパターニングする。TaOはエッチング可能であり、マスクとしての機能を果たすことができる。レジストマスクはこの段階で除去する。

【0067】

次にTaO層41をマスクとし、その下のTiN層39、上部電極38をパターニングする。TiN層39、Ru層38のエッチングにおいては、レジストマスクが存在しないため、蒸発したRuとレジストの反応などによる生成物の発生を低減することができる。その後酸化シリコン、BPSG等の層間絶縁膜42を

形成して半導体装置を完成させる。

【0068】

なお、TiN層39は必須の構成要件ではない。Ru層38の上に、直接TaO層41を形成してもよい。この場合にも、TaO層のエッチング終了後レジストマスクを除去することにより、エッチング生成物を低減することができる。なお、TiN層を用いる場合、TiN層はRu層38を覆う遮蔽膜としての役割の他、Ru層とその上に形成される絶縁層との間の接着層としての機能も果たし得る。接着層としての機能は、TiN層に限らず、Ta₂N、NbN、WN等によっても得ることができる。

【0069】

このTaO膜を残すことで後工程で、施すH₂アニールによるキャパシタの劣化を防ぐことが可能となる。

【0070】

上述の実施例においてはシリンダ型キャパシタを形成し、その表面上にTaO層を形成し、パターニングに利用する場合を説明した。この構成は、シリンダ状キャパシタに制限されず、一般的に利用することができる。

【0071】

図8(A)は、TaO層をパターニングに利用する製造方法を説明する断面図である。下地基板Sの上に、Ruなどのレアメタル層38が形成されている。このレアメタル層38の上に、TiN等の中間層39、TaO層41を積層する。TaO層41の上にレジストパターンPR2を形成する。

【0072】

図8(B)に示すように、レジストパターンPR2をマスクとし、TaO層をエッチングし、パターニングされたTaO層41pを作成する。その後レジストパターンPR2は除去する。

【0073】

図8(C)に示すように、TaO層41pをマスクとし、その下の中間層、レアメタル層をエッチングし、パターニングされた中間層39p、パターニングされたレアメタル層38pを得る。このエッチングにおいて、レアメタル層38が

らエッチング生成物が発生し得るが、レジストは存在しないため、除去し難い生成物などが発生する可能性が低減する。TaO層41pは、そのまま残し層間絶縁膜の一部としても、パターニング後除去しても良い。

【0074】

なお、TaO層の上にSiO₂層をたとえば厚さ約300nm程度積層してもよい。レアメタル層のエッチングにおいて、レジストマスクで、まずSiO₂層とTaO層との積層をエッチングする。次にレジストマスクを除去し、レアメタル層をエッチングする。さらにHF溶液でSiO₂層を除去する。レアメタルによるエッチング浅さは除去される。

【0075】

なお、マスクと用いる層をTaOに代え、Al₂O₃やNbOやTiO_xで形成することもできる。これらの材料を用いた場合の、マスク層はパターニング後除去しても、そのまま残して層間絶縁膜の一部としても良い。

【0076】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば種々の変更、改良、組み合わせが可能なことは当業者に自明であろう。

【0077】

本発明の特徴に関し、以下を開示する。

【0078】

(付記1) (ア) 半導体素子を形成した半導体基板上に第1層間絶縁膜を形成する工程と、

(イ) 前記第1層間絶縁膜中に接続孔を形成する工程と、

(ウ) 前記接続孔を埋めて、窒化可能な導電体のプラグを形成する工程と、

(エ) 窒化性雰囲気中で前記半導体基板を加熱し、前記プラグを表面から窒化する工程と

を含む半導体装置の製造方法。

【0079】

(付記2) さらに(オ) 前記半導体基板を加熱し、SiNのソースガスを

前記半導体基板上に供給して、前記プラグを覆う SiN 層を前記第 1 層間絶縁膜上に化学気相堆積で形成する工程を含む付記 1 記載の半導体装置の製造方法。

【 0 0 8 0 】

(付記 3) 前記工程 (エ) における窒化性雰囲気はアンモニアを含む雰囲気であり、前記工程 (オ) における SiN のソースガスはアンモニアを含むガスである付記 2 記載の半導体装置の製造方法。

【 0 0 8 1 】

(付記 4) 前記導電体が W である付記 2 または 3 記載の半導体装置の製造方法。

【 0 0 8 2 】

(付記 5) さらに、(カ) 前記 SiN 層の上にさらに絶縁層を積奏して第 2 層間絶縁膜を形成する工程と、

(キ) 前記第 2 層間絶縁膜を貫通して前記プラグ表面に達する開口を形成する工程と、

(ク) 前記開口中にレアメタル層を、初めは酸素を用いない物理気相堆積で、次に酸素を用いる化学気相堆積で、形成する工程を含む付記 2 ～ 4 のいずれか 1 項記載の半導体装置の製造方法。

【 0 0 8 3 】

(付記 6) 半導体素子を形成した半導体基板と、
前記半導体基板上に形成された層間絶縁膜と、
前記層間絶縁膜を貫通し、表面から深さ方向に従って窒素濃度が減少する WN_x プラグとを有する半導体装置。

【 0 0 8 4 】

(付記 7) (ア) 半導体素子を形成した半導体基板上に、頂面と側面を有する下部電極を形成する工程と、

(イ) 前記下部電極表面上に、前記頂面と側面との境界近傍で相対的に厚く、前記側面下方で相対的に薄く、かつほぼ均一な厚さを有する誘電体膜を形成する工程と、

(ウ) 前記誘電体膜上に上部電極を形成する工程と

を含む半導体装置の製造方法。

【 0 0 8 5 】

(付記 8) 前記下部電極がシリンダ形状を有し、前記誘電体膜が前記シリンダの内壁の側面上から頂面上を越え、外壁の側面上に延在する付記 7 記載の半導体装置の製造方法。

【 0 0 8 6 】

(付記 9) 前記工程 (イ) が、ステップカバレッジの良い成膜工程とステップカバレッジの悪い成膜工程の組み合わせで行なわれる付記 7 又は 8 記載の半導体装置の製造方法。

【 0 0 8 7 】

(付記 1 0) 前記ステップカバレッジの悪い成膜工程は、物理気相堆積、供給律速の化学気相堆積、約 1 T o r r 以上の圧力での低圧化学気相堆積のいずれかまたはそれらの組み合わせで行なわれる付記 9 記載の半導体装置の製造方法。

【 0 0 8 8 】

(付記 1 1) 前記下部電極がレアメタルで形成され、前記工程 (ア) が酸化可能な材料で形成されたプラグを露出した下地表面上で行なわれ、初めに酸素を用いない条件で成膜を行なう成膜工程と、つづいて酸素を用いる条件で成膜を行なう成膜工程とを含む付記 7 ~ 1 0 のいずれか 1 項記載の半導体装置の製造方法。

【 0 0 8 9 】

(付記 1 2) 前記工程 (ウ) が、初めに第 1 の濃度の酸素を含む条件でレアメタルの上部電極下層を化学気相堆積で成膜する工程と、つづいて第 1 の濃度より低い酸素濃度を含む条件でレアメタルの上部電極上部を化学気相堆積で成膜する工程を含む付記 7 ~ 1 1 のいずれか 1 項記載の半導体装置の製造方法。

【 0 0 9 0 】

(付記 1 3) 半導体素子を形成した半導体基板と、
前記半導体基板表面上に配置され、頂面と側面を有する下部電極と、
前記下部電極表面上に形成され、前記頂面と側面との境界近傍で相対的に厚く

、前記側面下方では相対的に薄く、かつほぼ均一な厚さを有する誘電体膜と、
前記誘電体膜上に形成された上部電極と
を有する半導体装置。

【0091】

(付記14) (ア) 半導体素子を形成した半導体基板上にレアメタル層を形成する工程と、

(イ) 前記レアメタル層上にTaO膜を形成する工程と、

(ウ) 前記TaO膜をレジストパターンを用いてパターニングする工程と、

(エ) 前記パターニングされたTaO膜を用いて前記レアメタル層をパターニングする工程と

を含む半導体装置の製造方法。

【0092】

(付記15) さらに、(オ) 前記工程(ア)の後、前記工程(イ)の前に、前記レアメタル層上に金属窒化物層を形成する工程を含み、

前記工程(ウ)は、前記レアメタル層を露出することなく終了し、

前記工程(エ)は、前記パターニングされたTaO膜を用いて前記金属窒化物層と前記レアメタル層とをパターニングする付記14記載の半導体装置の製造方法。

【0093】

(付記16) 前記工程(オ)は、水素を含まないガスおよび雰囲気を用いて金属窒化物層を形成する付記15記載の半導体装置の製造方法。

【0094】

(付記17) さらに(カ) 前記TaO膜を覆って、前記半導体基板上に層間絶縁膜を形成する工程と、

(キ) 前記半導体基板を水素を含むガス中でアニールする工程と、
を含む付記14～16のいずれか1項記載の半導体装置の製造方法。

【0095】

(付記18) 半導体素子を形成した半導体基板と、
前記半導体基板上に配置されたレアメタル層と、

前記レアメタル層上に配置され、前記レアメタル層と同一平面形状を有するTaO膜と
を有する半導体装置。

【0096】

【発明の効果】

以上説明したように、本発明によれば、Wプラグの表面が窒化されるため、酸素が侵入してもWプラグが体積膨張し、装置性能に影響を与えることを低減することができる。

【0097】

キャパシタの誘電体膜厚を部分的に増大することにより、電界集中による誘電破壊を効率的に防止することができる。

【0098】

TaOをマスクとして利用することにより、レアメタルパターニングによる悪影響を低減することができるだけでなくH₂の侵入を防ぐ効果が期待できる。

【図面の簡単な説明】

【図1】 本発明の実施例による半導体装置の製造方法の主要工程を示す半導体基板の断面図である。

【図2】 W表面の窒化現象を説明するグラフである。

【図3】 本発明の実施例による半導体装置の製造方法の主要工程を示す半導体基板の断面図である。

【図4】 本発明の実施例による半導体装置の製造方法の主要工程を示す半導体基板の断面図である。

【図5】 本発明の実施例による半導体装置の製造方法の主要工程を示す半導体基板の断面図である。

【図6】 3次元構造を有する電極上に上部で厚く下部で薄い誘電体膜を成膜する方法を説明する断面図である。

【図7】 本発明の実施例による半導体装置の製造方法の主要工程を示す半導体基板の断面図である。

【図8】 レアメタル層上にTaO膜を成膜し、パターニングに用いる半導

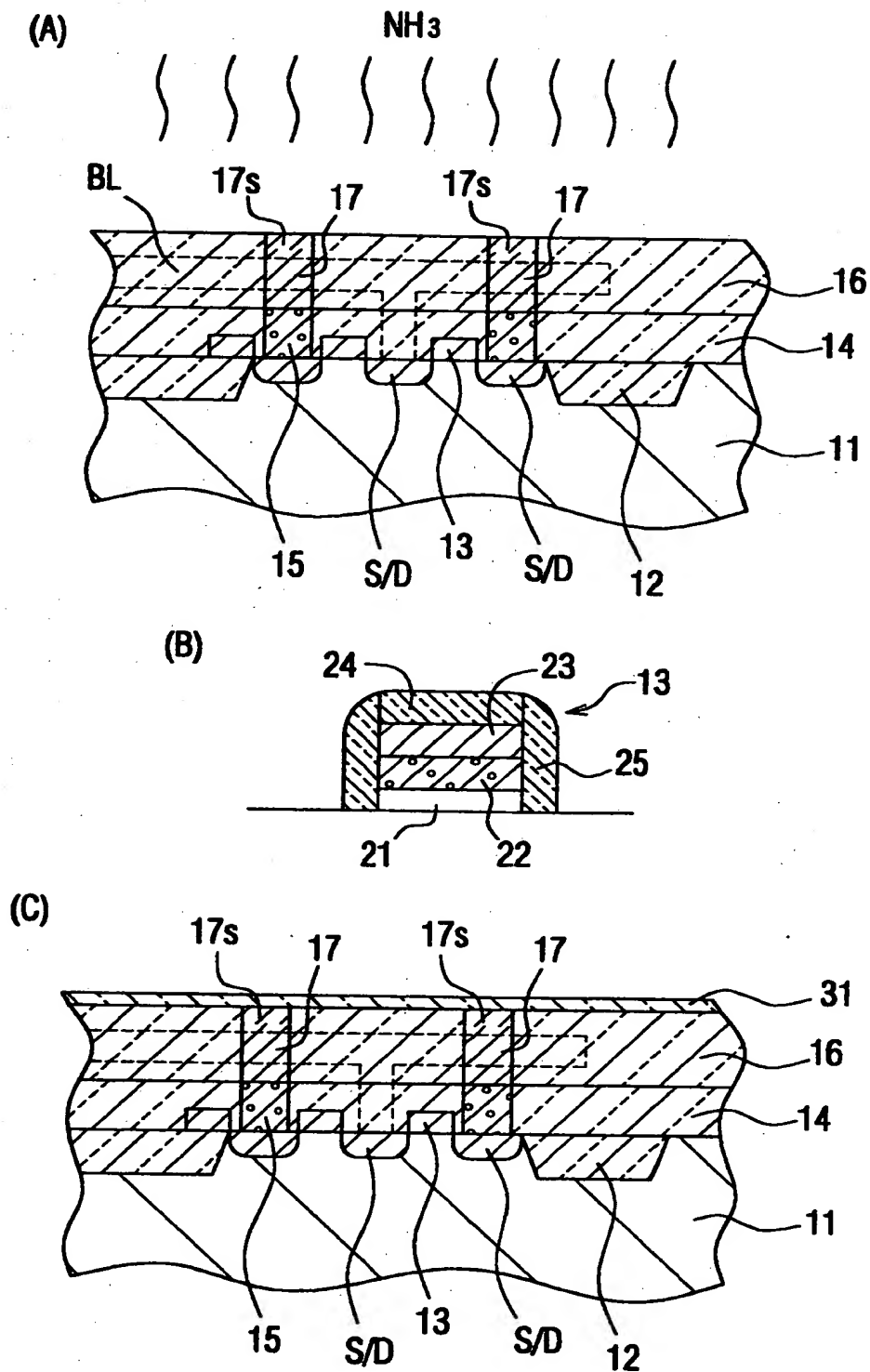
体装置の製造方法を示す半導体基板の断面図である。

【符号の説明】

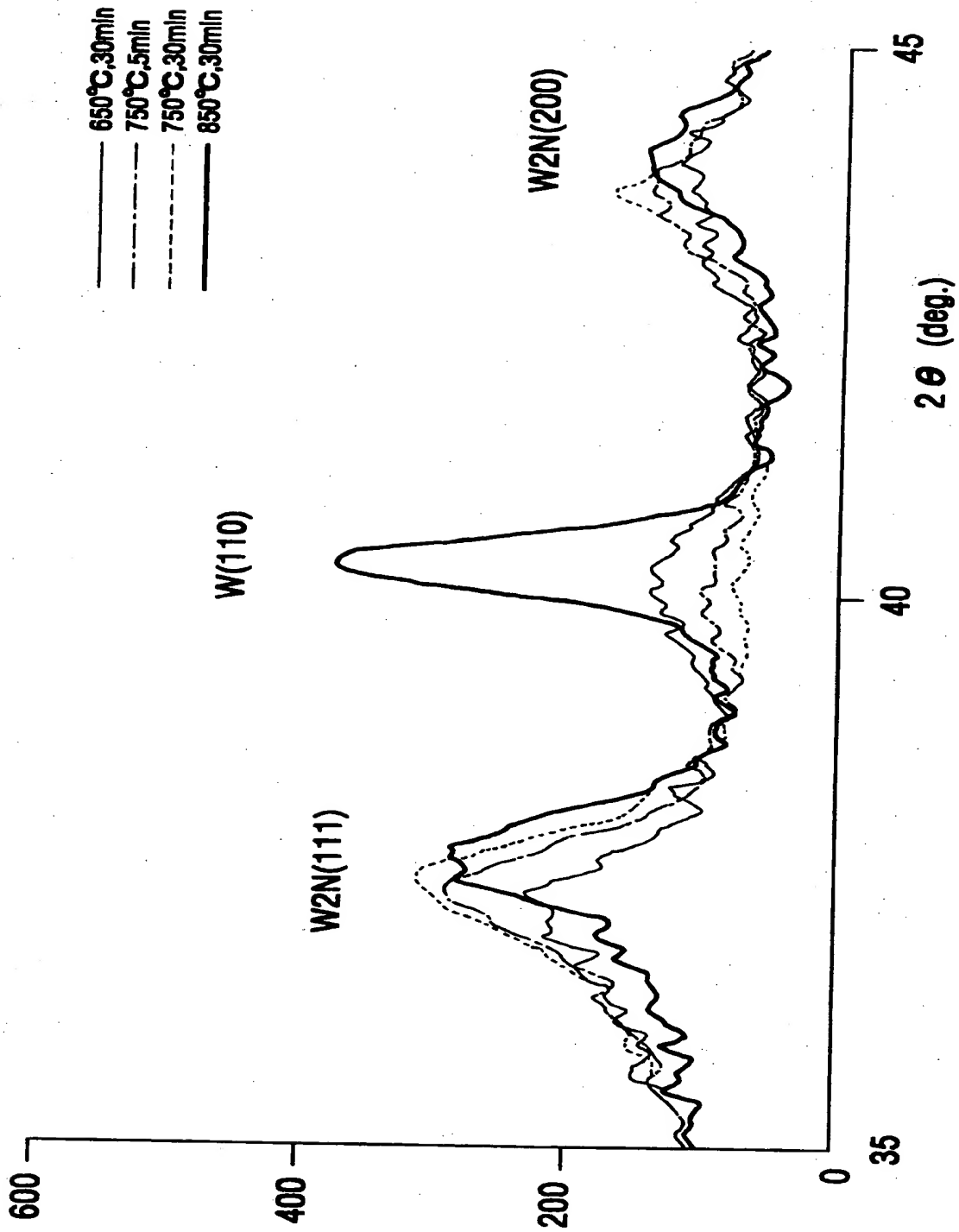
- 1 1 半導体基板
- 1 2 シャロートレンチアイソレーション
- 3 絶縁ゲート電極
- 1 4 ソース／ドレイン領域
- 1 5 下部多結晶シリコンプラグ
- 1 7 Wプラグ
- 1 4、1 6 層間絶縁膜
- 3 1、3 3 SiN層
- 3 2 SiO₂層
- 3 4 酸化シリコン層
- SN 開口
- 3 6 下部電極
- 3 7 キャパシタ誘電体膜
- 3 8 上部電極
- 3 9 TiN層
- 4 1 TaO膜
- 4 2 層間絶縁膜

【書類名】 図面

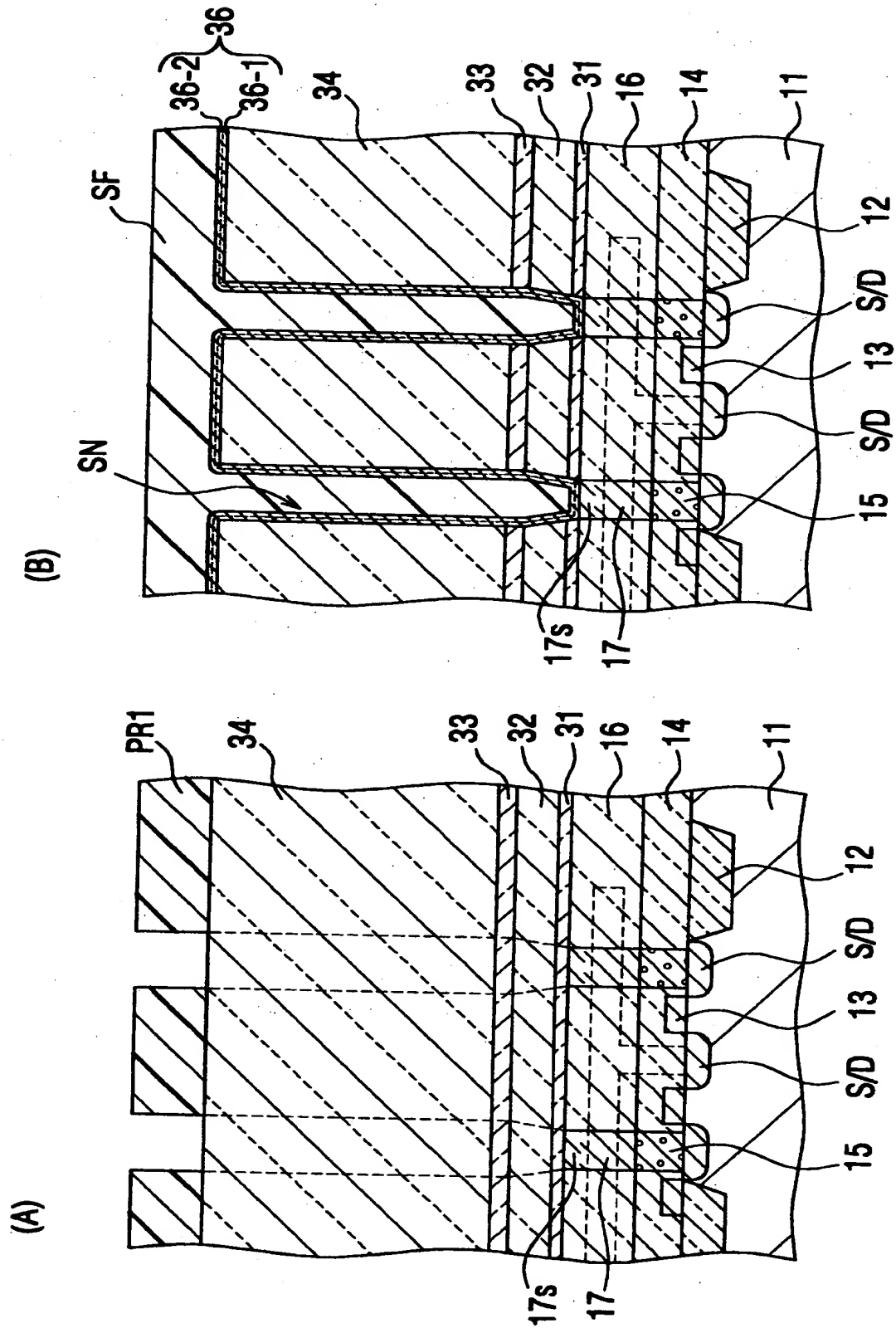
【図1】



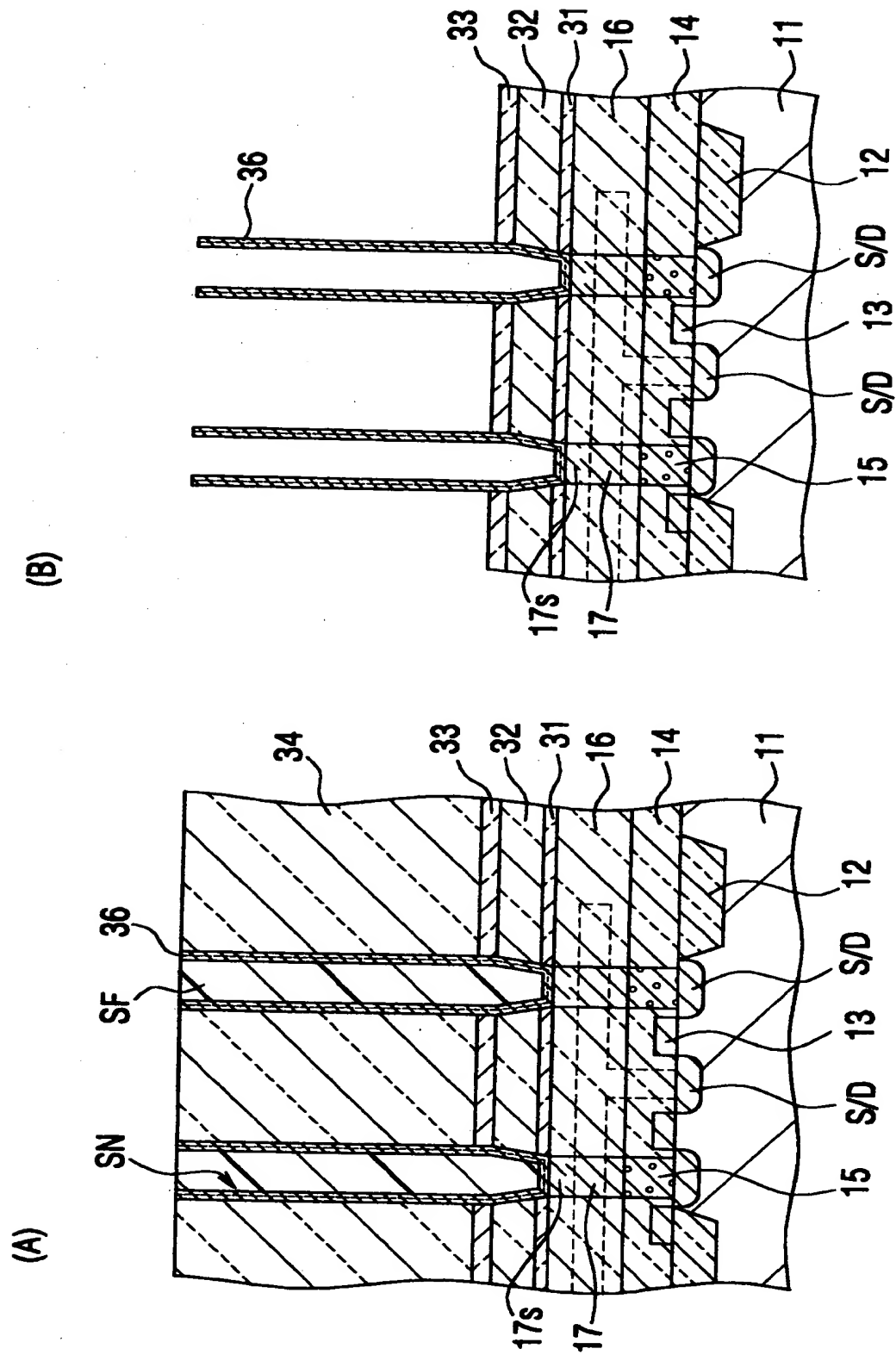
【図 2】



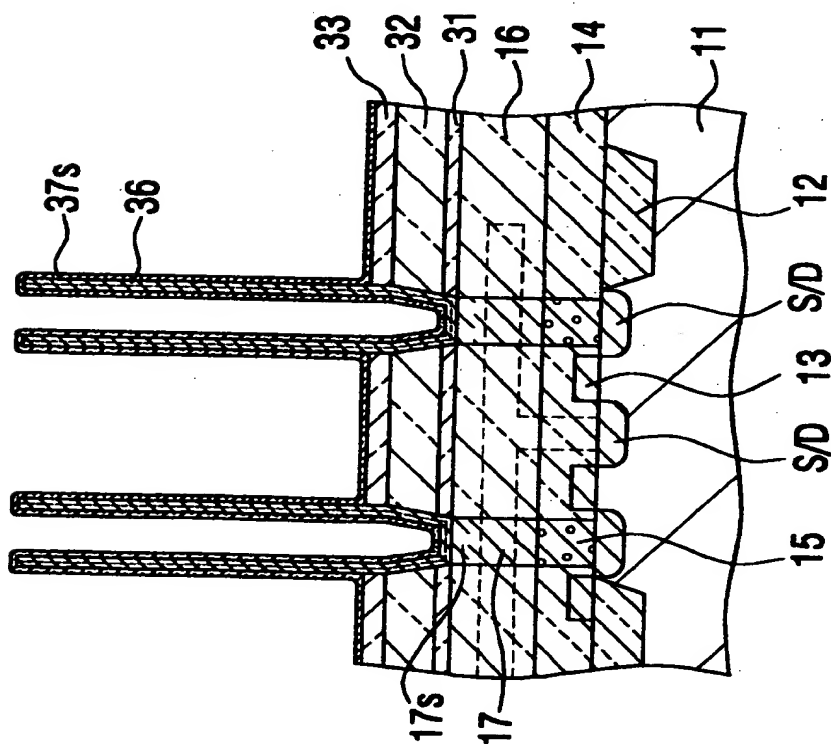
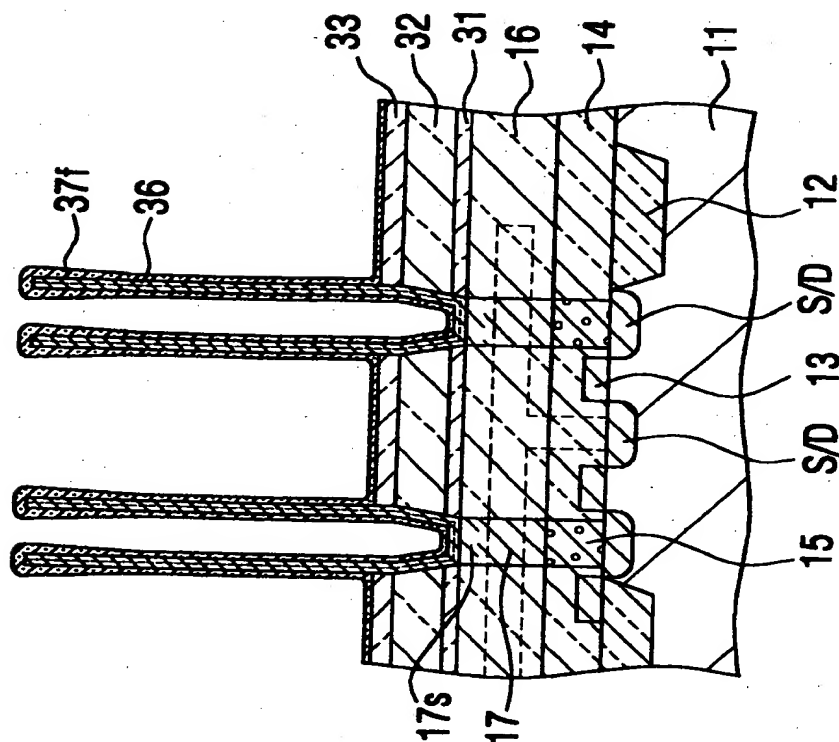
【図 3】



【図 4】



【図 5】

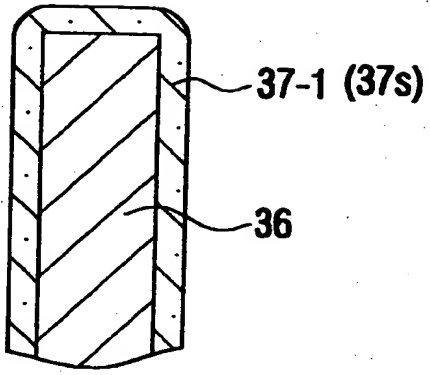


(B)

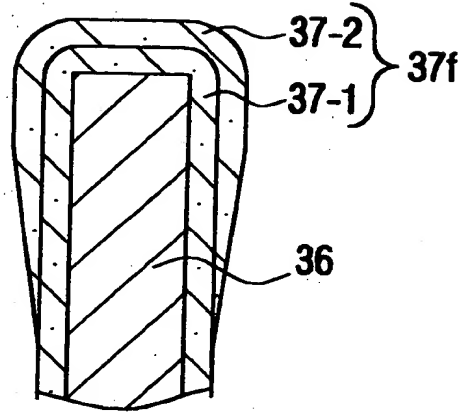
(A)

【図 6】

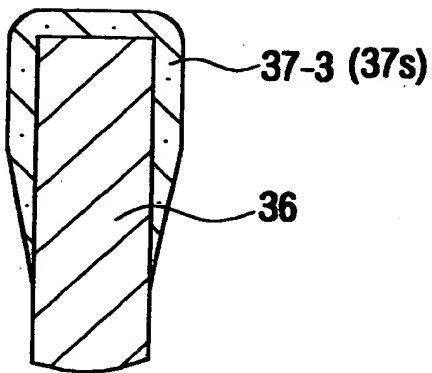
(A)



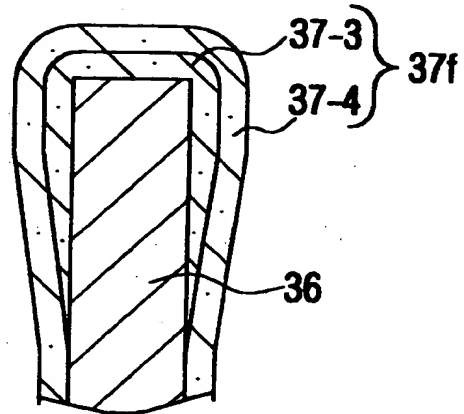
(B)



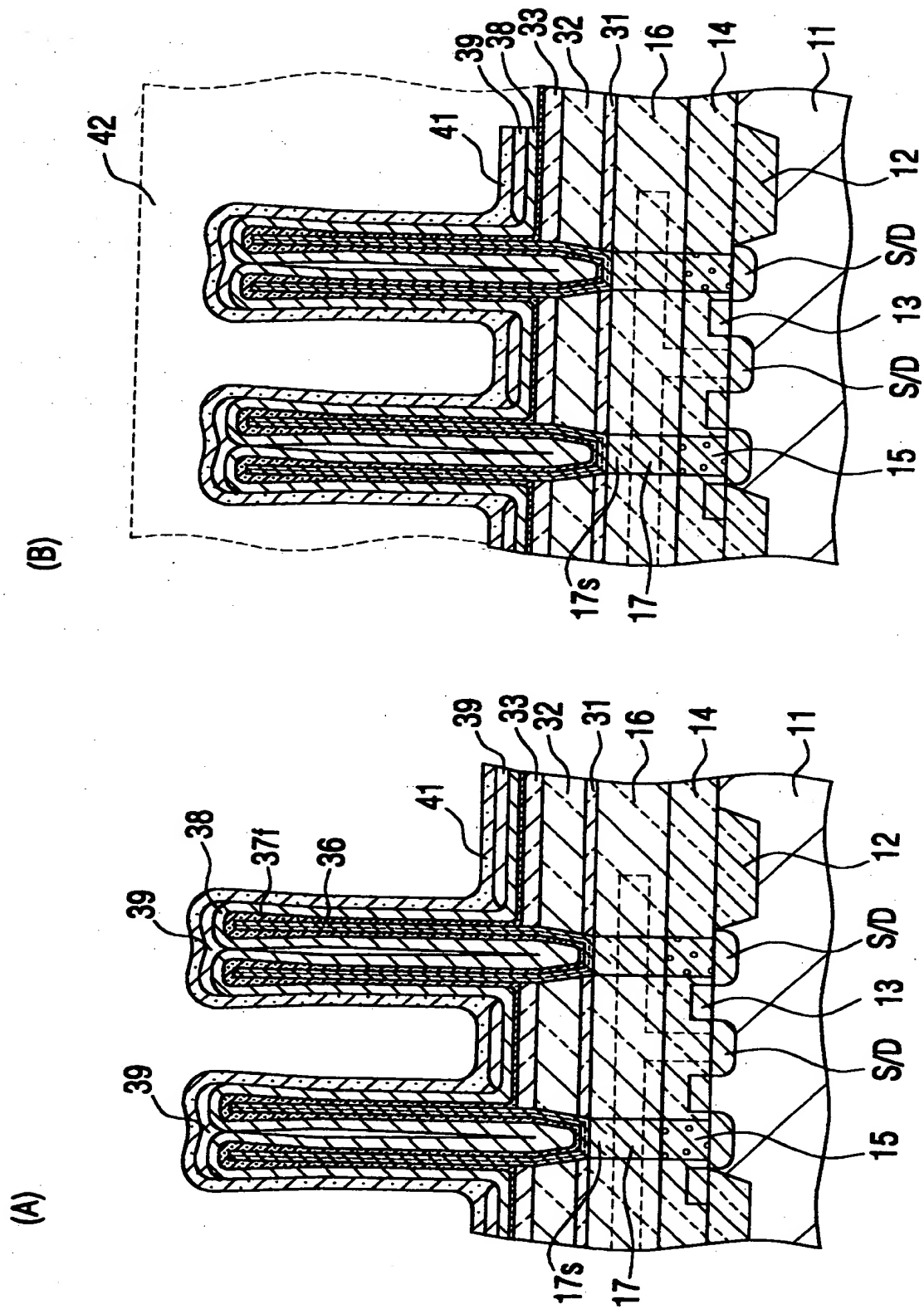
(C)



(D)

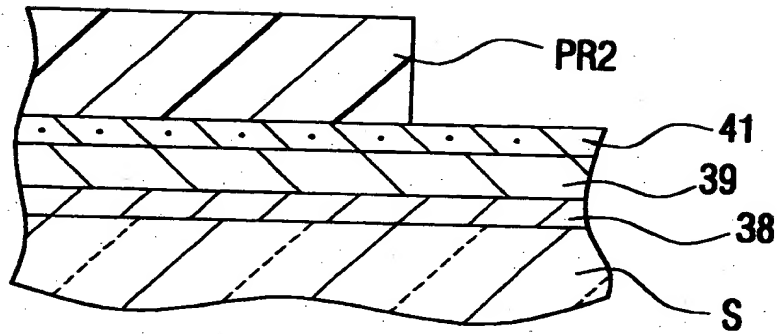


【図 7】

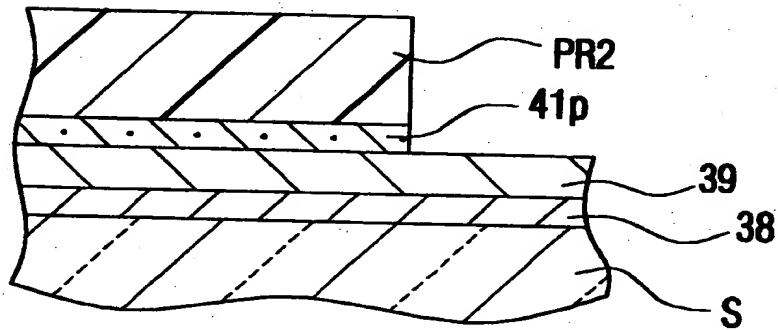


【図 8】

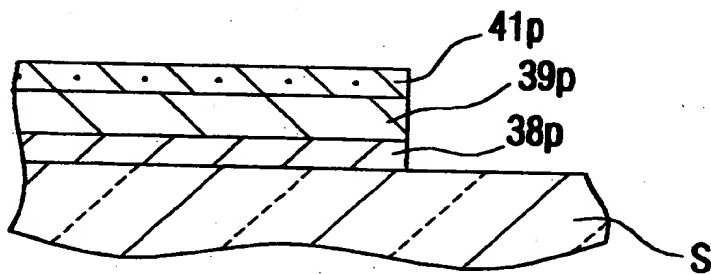
(A)



(B)



(C)



【書類名】 要約書

【要約】

【課題】 プラグ上にキャパシタを形成する際、プラグの破壊を防止できる半導体装置の製造方法を提供する。

【解決手段】 半導体装置の製造方法は、（ア）半導体素子を形成した半導体基板上に第 1 層間絶縁膜を形成する工程と、（イ）前記第 1 層間絶縁膜中に接続孔を形成する工程と、（ウ）前記接続孔を埋めて、窒化可能な導電体のプラグを形成する工程と、（エ）窒化性雰囲気中で前記半導体基板を加熱し、前記プラグを表面から窒化する工程とを含む。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社